



⑮ **BUNDESREPUBLIK  
DEUTSCHLAND**



**DEUTSCHES  
PATENT- UND  
MARKENAMT**

⑫ **Offenl gungsschrift**  
⑩ **DE 101 24 278 A 1**

⑤ Int. Cl.<sup>7</sup>:  
**G 11 C 11/407**

⑳ Aktenzeichen: 101 24 278.6  
㉑ Anmeldetag: 18. 5. 2001  
㉒ Offenlegungstag: 28. 11. 2002

**DE 101 24 278 A 1**

⑦① Anmelder:  
Infineon Technologies AG, 81669 München, DE  
  
⑦④ Vertreter:  
Epping, Hermann & Fischer, 80339 München

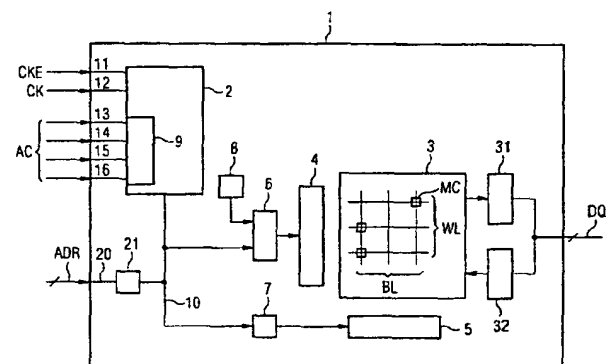
⑦② Erfinder:  
Feurle, Robert, 85579 Neubiberg, DE

**Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen**

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤④ **Integrierter Speicher**

⑤⑦ Ein integrierter Speicher mit einem Speicherzellenfeld (3) weist eine Steuerschaltung (2) auf zur Steuerung eines Speicherzugriffs zum Auslesen oder Schreiben eines Datensignals einer der Speicherzellen. Die Steuerschaltung (2) empfängt für einen Speicherzugriff einen Zugriffsbefehl in Form eines Aktivierungsbefehls, eines Lesebefehls oder eines Schreibbefehls. Sie ist weiterhin derart ausgebildet und betreibbar, daß für einen Speicherzugriff ein Konfigurationswert für eine CAS-Latenzzeit und/oder ein Konfigurationswert zur Spezifikation eines Burst-Zugriffs kombiniert mit dem Zugriffsbefehl empfangen wird. Dadurch kann ein Moderegister und ein entsprechender Programmierschritt zur Programmierung desselben entfallen.



**DE 101 24 278 A 1**

[0001] Die vorliegende Erfindung betrifft einen integrierten Speicher mit einem Speicherzellenfeld mit Speicherzellen und mit einer Steuerschaltung zur Steuerung eines Speicherzugriffs zum Auslesen oder Schreiben eines Datensignals einer der Speicherzellen.

[0002] Ein integrierter Speicher weist im allgemeinen ein Speicherzellenfeld auf, das Wortleitungen und Bitleitungen umfaßt. Die Speicherzellen sind dabei in Kreuzungspunkten der Bitleitungen und Wortleitungen angeordnet. Die Speicherzellen sind über jeweils einen Auswahltransistor, dessen Steuereingang mit einer der Wortleitungen verbunden ist, mit einer der Bitleitungen verbunden, über die ein Datensignal ausgelesen beziehungsweise eingeschrieben wird. Für einen Speicherzugriff empfängt eine Steuerschaltung zur Steuerung des Speicherzugriffs im allgemeinen einen Zugriffsbefehl in Form eines Aktivierungsbefehls, eines Lesebefehls oder eines Schreibbefehls. Zum Auslesen oder Schreiben eines Datensignals wird der jeweilige Auswahltransistor von entsprechenden Speicherzellen durch eine aktivierte Wortleitung leitend geschaltet, wodurch im Anschluß das Auslesen oder Schreiben des Datensignals einer ausgewählten Speicherzelle erfolgen kann.

[0003] Für einen Speicherzugriff werden üblicherweise mehrere Speicherzellen innerhalb eines Zugriffszyklus ausgelesen oder beschrieben. Beispielsweise werden eine Anzahl oder alle Speicherzellen entlang einer aktivierten Wortleitung ausgelesen oder beschrieben. Ein solcher Speicherzugriff wird im allgemeinen als sogenannter Burst bezeichnet, die Anzahl der ausgewählten Speicherzellen beziehungsweise die Anzahl der auszuführenden Auslese- oder Schreibschritte innerhalb eines Zugriffszyklus als Burstlänge. Bei Zugriffsbeginn wird eine Anfangsadresse an den Speicher angelegt, der Zugriff auf die innerhalb eines Bursts anzusprechenden Speicherzellen intern gesteuert, ohne jeweils eine neue Adresse an den Speicher anzulegen.

[0004] Bei synchronen Speichern wie sogenannten SDRAM-Speichern und DDR-DRAM-Speichern werden Konfigurationswerte des Speichers wie beispielsweise die Burstlänge in einem sogenannten Moderegister programmiert. Dazu wird üblicherweise mit einem entsprechend vorgesehenen Mode-Register-Set-Befehl der Wert für die Burstlänge über Adreßpins des Speichers in das Moderegister eingeschrieben und dort für einen späteren Speicherzugriff gespeichert. Die Programmierung des Moderegisters erfordert damit einen zusätzlichen Verarbeitungsschritt im Betrieb des Speichers.

[0005] Die Aufgabe der vorliegenden Erfindung ist es, einen integrierten Speicher anzugeben, bei dem die Einstellung von Werten zur Konfiguration des Speichers mit vergleichsweise geringem Aufwand durchgeführt werden kann.

[0006] Die Aufgabe wird gelöst durch einen integrierten Speicher nach Patentanspruch 1.

[0007] Beim erfindungsgemäßen Speicher ist die Steuerschaltung derart ausgebildet und betreibbar, daß für einen Speicherzugriff ein Konfigurationswert zur Spezifikation eines Burst-Zugriffs und/oder ein Konfigurationswert für eine sogenannte CAS-Latenzzeit kombiniert mit dem Zugriffsbefehl empfangen wird. Der Zugriffsbefehl wird für einen Speicherzugriff von der Steuerschaltung in Form eines Aktivierungsbefehls, eines Lesebefehls oder eines Schreibbefehls empfangen. Beim erfindungsgemäßen Speicher kann damit die Programmierung eines Moderegisters entfallen, da die entsprechenden Konfigurationswerte mit dem jeweiligen Zugriffsbefehl empfangen und direkt eingestellt werden können. Es entfällt damit der Programmierschritt für das Moderegister.

[0008] Dadurch erhält man den weiteren Vorteil, daß auf das Vorsehen eines Moderegisters verzichtet werden kann, wodurch sich eine Platzersparnis auf dem Speicher ergibt. Zudem können vorteilhaft die jeweiligen Konfigurationswerte jeweils mit Empfang eines neuen Zugriffsbefehls verändert werden, ohne daß ein erneuter Programmierschritt zur Programmierung eines Moderegisters erfolgen muß.

[0009] Die genannte CAS-Latenzzeit oder CAS-Latency findet bei synchronen Speicherbausteinen Anwendung und zeigt an, zu welchem Zeitpunkt eine synchronisierte Datenausgabe nach außerhalb des Speicherzellenfeldes bei einem Lesezugriff auf eine der Speicherzellen beginnt. Dadurch wird bei einem Lesezugriff zu einem definierten Zeitpunkt ein Datenpaket auf einer Bitleitung erhalten. Die CAS-Latenzzeit wird abhängig von der Betriebsfrequenz des Speichers programmiert und eingestellt, um bei einem Lesezugriff auf eine der Speicherzellen einen optimalen Datendurchsatz bei jeder Betriebsfrequenz zu erhalten. Die CAS-Latenzzeit wird bisher üblicherweise über den Mode-Register-Set-Befehl programmiert. Da dieser Wert erfindungsgemäß zusammen mit dem Zugriffsbefehl übergeben und direkt eingestellt wird und entsprechend mit jedem neuen Zugriffsbefehl verändert werden kann, ist eine höhere Flexibilität bei unterschiedlichen Betriebsfrequenzen des Speichers möglich.

[0010] In einer Ausführungsform der Erfindung ist die Steuerschaltung derart ausgebildet und betreibbar, daß der Zugriffsbefehl sowie der Konfigurationswert für die CAS-Latenzzeit und/oder der Konfigurationswert zur Spezifikation eines Burst-Zugriffs mit einem Multi-Bit-Signal empfangen werden. Damit ist es ermöglicht, daß mit Anlegen des Zugriffsbefehls beispielsweise der Konfigurationswert zur Spezifikation der Burstlänge und/oder eines Bursttyps (etwa sequentielles Auslesen oder geschachtelt in einem sogenannten Interleave Burst) in einem Multi-Bit-Signal übergeben werden kann.

[0011] Weitere vorteilhafte Aus- und Weiterbildungen der Erfindung sind in abhängigen Ansprüchen angegeben.

[0012] Die Erfindung wird im folgenden anhand der in der Zeichnung dargestellten Figuren, die Ausführungsformen der Erfindung darstellen, näher erläutert. Es zeigen

[0013] Fig. 1 einen integrierten Speicher mit Komponenten für einen Speicherzugriff,

[0014] Fig. 2 eine tabellarische Übersicht über beispielhafte Multi-Bit-Signale zum Betrieb eines erfindungsgemäßen Speichers.

[0015] Die Fig. 1 zeigt ein Ausführungsbeispiel eines erfindungsgemäßen synchronen DRAM-Speichers. Der Speicher 1 weist ein Speicherzellenfeld 3 auf, das Bitleitungen BL und Wortleitungen WL aufweist. Die Speicherzellen MC sind in Kreuzungspunkten der Wortleitungen WL und Bitleitungen BL angeordnet und jeweils mit einer der Wortleitungen WL und einer der Bitleitungen BL verbunden. Dies ist in der Fig. 1 der Übersichtlichkeit halber nur schematisch dargestellt. Die Speicherzellen MC werden über die jeweiligen Wortleitungen WL für einen Lese- oder Schreibvorgang ausgewählt. Über die Bitleitungen BL wird ein Datensignal aus einer der Speicherzellen MC ausgelesen oder in eine der Speicherzellen MC eingeschrieben. Das Auslesen oder Einschreiben eines Datensignals wird über den Datenanschluß DQ und über ein Datenausgangsregister 31 beziehungsweise über ein Dateneingangsregister 32 vorgenommen.

[0016] Die Auswahl der entsprechenden Wortleitungen und Bitleitungen für einen Speicherzugriff erfolgt über einen Zeilendecoder 4 und Spaltendecoder 5. Der Zeilendecoder 4 wird von einem Reihenadreß-Multiplexer 6 angesteuert, der Spaltendecoder 5 von einem Spaltenadreß-Zähler 7.

Diese sind ihrerseits über einen Kommunikationsbus 10 mit einem Adreßregister 21 verbunden, über das Adressen ADR an Adreßanschlüssen 20 eingelesen werden. Der Reihenadreß-Multiplexer 6 ist außerdem mit einem sogenannten Refresh-Zähler 8 verbunden, über den ein Refresh-Betrieb des Speichers durchführbar ist.

[0017] Der Speicher weist Kommandopins 13 bis 16 auf, die mit der Steuerschaltung 2 verbunden sind. Sie dienen zum Empfang von Zugriffsbefehlen, hier in Form eines Aktivierungsbefehls, eines Lesebefehls oder eines Schreibbefehls, sowie zum kombinierten Empfang des Konfigurationswerts für die CAS-Latenzzeit und/oder des Konfigurationswerts zur Spezifikation des Burst-Zugriffs. Die entsprechenden Multi-Bit-Signale AC werden insbesondere einem Befehlsdecoder 9, der in der Steuerschaltung 2 enthalten ist, zugeführt. Über den Anschluß 12 wird ein Taktsignal CK, über den Anschluß 11 ein diesbezügliches Aktivierungssignal CKE empfangen.

[0018] Die Steuerschaltung 2 dient zur Steuerung eines Speicherzugriffs auf das Speicherzellenfeld 3 über den Kommunikationsbus 10. Die daran angeschlossenen Komponenten werden entsprechend angesteuert. Die Steuerschaltung 2 ist mit dem Anschluß für das Taktsignal CK verbunden, das beispielsweise von einem Controller oder einem Prozessor zur Verfügung gestellt wird. Die Steuerschaltung 2 wird für einen Speicherzugriff von Steuersignalen AC angesteuert, die beispielsweise einen Beginn und die Art (Lesen, Schreiben) eines Speicherzugriffs anzeigen. Die mit dem jeweiligen Zugriffsbefehl eingelesenen Konfigurationswerte bezüglich Burst-Zugriff und CAS-Latenzzeit werden von der Steuerschaltung 2 empfangen und für den Speicherzugriff entsprechend verarbeitet.

[0019] Mit einem Multi-Bit-Signal AC wird beispielsweise der Speicher aktiviert und gleichzeitig die CAS-Latenzzeit eingestellt (siehe dazu auch Fig. 2). Die CAS-Latenzzeit wird dazu benutzt, bei einem Lesezugriff auf eine der Speicherzellen MC den Beginn einer auf ein Taktsignal synchronisierten Datenausgabe nach außerhalb des Speicherzellenfeldes 3 festzulegen. Die CAS-Latenzzeit gibt dabei die Anzahl der Taktzyklen an, die bezogen auf den Beginn des Lesezugriffs abgewartet werden, um das Datensignal auszulesen.

[0020] In Fig. 2 sind weitere Signalkombinationen für das Multi-Bit-Signal AC beispielhaft gezeigt. Beispielsweise wird ein Lesebefehl mit der Burstlänge 2, das heißt es werden in einem Lesezugriff die Speicherzellen entlang zweier Wortleitungen ausgelesen, kombiniert. Die Kommandopins werden dazu je nach Kombination mit entsprechend veränderten Bitsignalen belegt. Sollte die Bitbreite der Kommandopins für die Anzahl der möglichen Varianten nicht ausreichen, müssen entsprechend mehrere Kommandopins vorgehen werden.

[0021] Über die Adreßanschlüsse 20 werden für einen Speicherzugriff Adressen ADR von ausgewählten Speicherzellen angelegt. Die Adreßpins 20 zur Übertragung von Adreßsignalen ADR sind zur Übertragung des Konfigurationswerts für die CAS-Latenzzeit und/oder des Konfigurationswerts zur Spezifikation des Burst-Zugriffs, etwa wie zum Zwecke der Programmierung eines Moderegisters, nicht verwendbar. Ein Moderegister kann entfallen, da die Konfigurationswerte direkt über die Kommandopins 13 bis 16 für den jeweiligen Speicherzugriff eingestellt werden.

#### Bezugszeichenliste

- 1 Speicher
- 2 Steuerschaltung
- 3 Speicherzellenfeld

- 4 Zeilendecoder
- 5 Spaltendecoder
- 6 Reihenadreß-Multiplexer
- 7 Spaltenadreß-Zähler
- 8 Refresh-Zähler
- 9 Befehlsdecoder
- 10 Kommunikationsbus
- 11 Anschluß
- 12 Anschluß
- 13 bis 16 Kommandopins
- 20 Adreßanschlüsse
- 21 Adreßregister
- 31 Datenausgangsregister
- 32 Dateneingangsregister
- 15 BL Bitleitungen
- WL Wortleitungen
- MC Speicherzellen
- DQ Datenanschluß
- ADR Adressen
- 20 AC Multi-Bit-Signale
- CK Taktsignal

#### Patentansprüche

1. Integrierter Speicher mit einem Speicherzellenfeld (3) mit Speicherzellen (MC), mit einer Steuerschaltung (2) zur Steuerung eines Speicherzugriffs zum Auslesen oder Schreiben eines Datensignals einer der Speicherzellen, bei dem die Steuerschaltung (2) für einen Speicherzugriff einen Zugriffsbefehl in Form eines Aktivierungsbefehls, eines Lesebefehls oder eines Schreibbefehls empfängt, bei dem die Steuerschaltung (2) derart ausgebildet und betreibbar ist, daß für einen Speicherzugriff ein Konfigurationswert für eine CAS-Latenzzeit und/oder ein Konfigurationswert zur Spezifikation eines Burst-Zugriffs kombiniert mit dem Zugriffsbefehl empfangen wird.
2. Integrierter Speicher nach Anspruch 1, dadurch gekennzeichnet, daß die Steuerschaltung (2) derart ausgebildet und betreibbar ist, daß der Zugriffsbefehl sowie der Konfigurationswert für die CAS-Latenzzeit und/oder der Konfigurationswert zur Spezifikation eines Burst-Zugriffs mit einem Multi-Bit-Signal (AC) empfangen werden.
3. Integrierter Speicher nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß der Speicher Kommandopins (13 bis 16) aufweist, die mit der Steuerschaltung (2) verbunden sind und die zum Empfang des Zugriffsbefehls sowie zum Empfang des Konfigurationswerts für die CAS-Latenzzeit und/oder des Konfigurationswerts zur Spezifikation des Burst-Zugriffs dienen.
4. Integrierter Speicher nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, daß die Steuerschaltung (2) derart ausgebildet und betreibbar ist, daß ein Konfigurationswert zur Spezifikation einer Burstlänge und/oder eines Bursttyps kombiniert mit dem Zugriffsbefehl empfangen wird.
5. Integrierter Speicher nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, daß der Speicher Adreßpins (20) zur Übertragung von Adreßsignalen (ADR) für einen Speicherzugriff aufweist, wobei die Adreßpins zur Übertragung des Konfigurationswerts für die CAS-Latenzzeit und/oder des Konfigurationswerts zur Spezifikation des Burst-Zugriffs nicht ver-

wendbar sind.

Hierzu 2 Seite(n) Zeichnungen

5

10

---

15

20

25

30

35

40

45

50

55

60

65

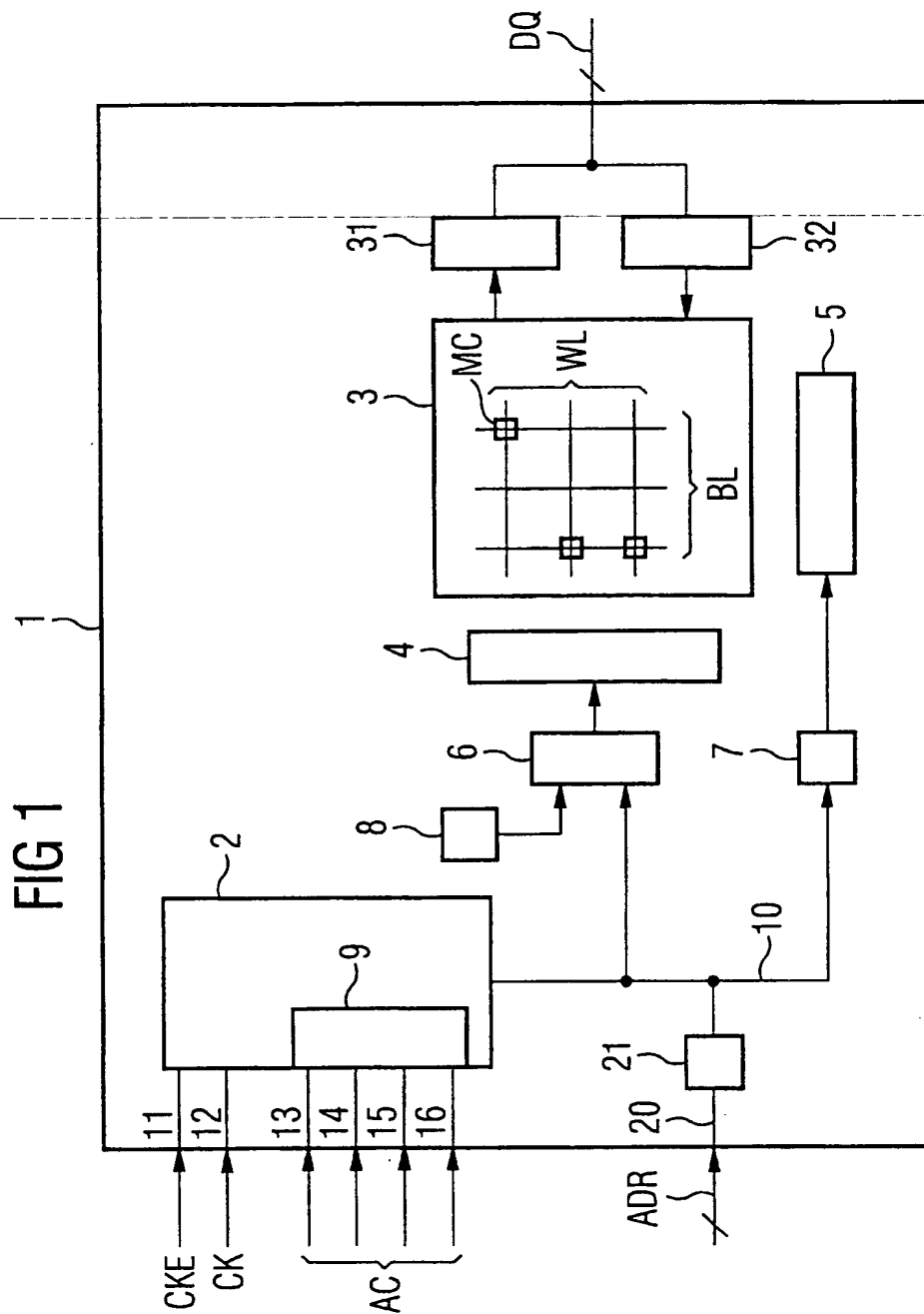


FIG 2

AC	Kommandopins			
	13	14	15	16
Lesen mit Burstlänge 2	0	0	0	0
Lesen mit Burstlänge 4	0	0	0	1
Aktivieren mit CAS-Latenzzeit 3	0	0	1	1
⋮				
Lesen mit Interleave Burst	1	1	0	0